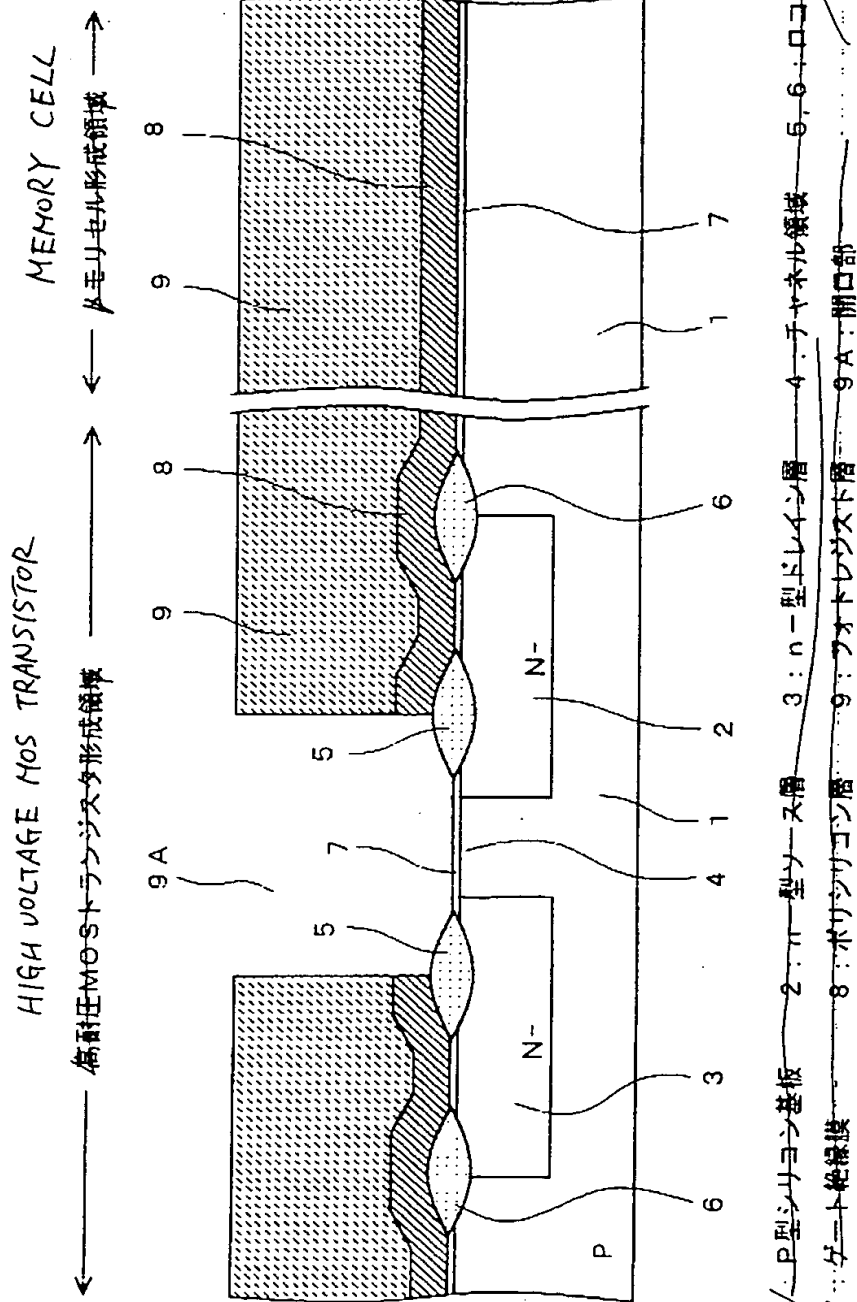


F02G09/15592860

Fig. 1

[図1]



TO2650 4552860

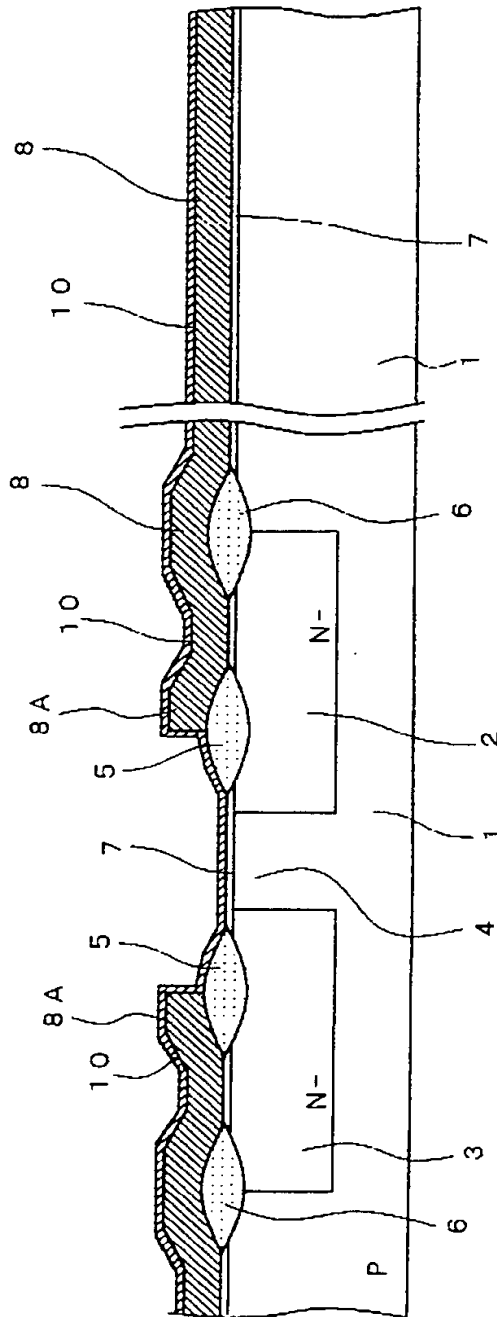
Fig. 2

1図21

HIGH VOLTAGE MOS TRANSISTOR

MEMORY CELL

← 高耐圧MOSトランジスタ形成領域 → ← メモリセル形成領域 →



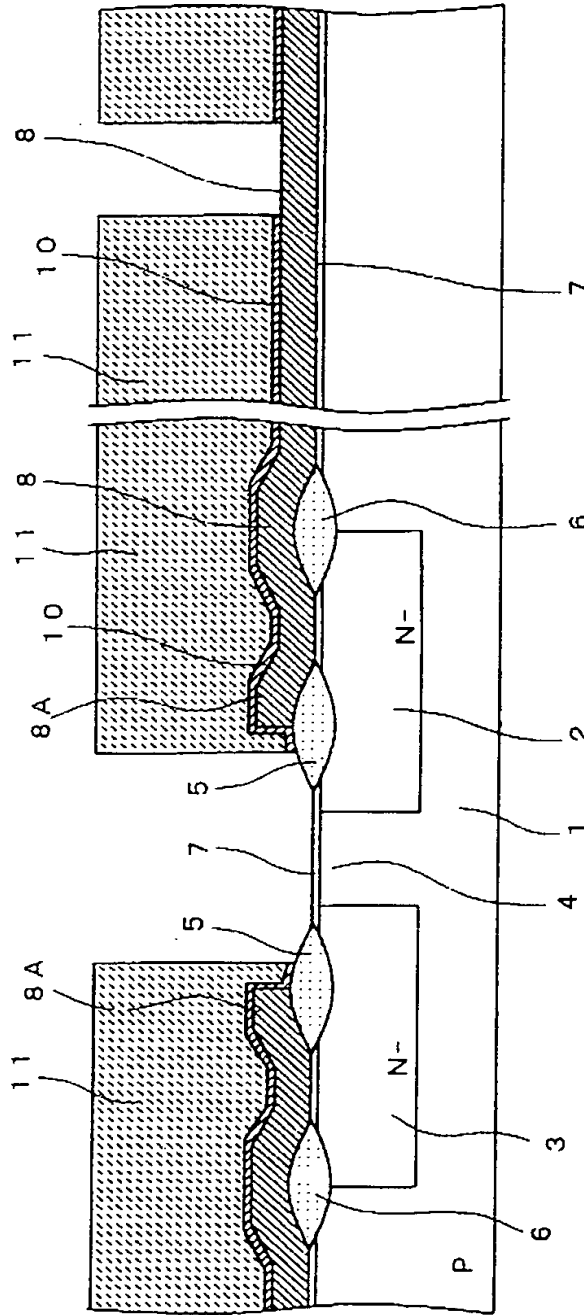
8A...ポリシリコン層8の側面 10...シリコン酸化膜

0276-30-3152

Fig. 3

【図3】

HIGH VOLTAGE MOS TRANSISTOR ← 高耐圧MOSトランジスタ形成領域 → MEMORY CELL ← メモリセル形成領域 →

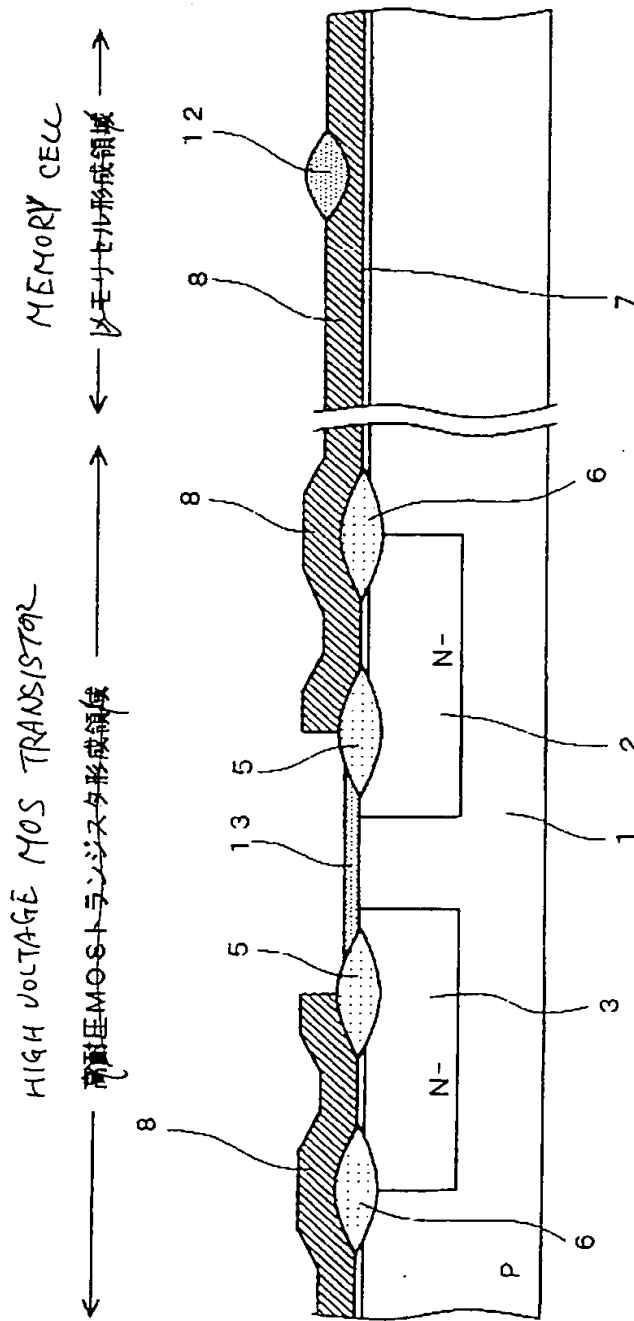


トランジスタ領域

TOP SECRET

Fig. 4

【図4】



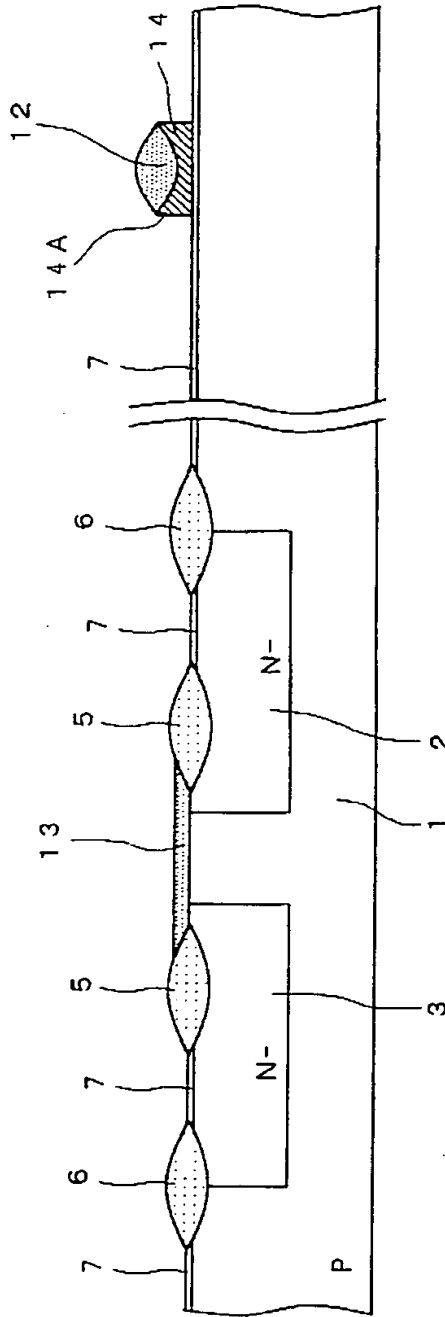
12: 酸化膜 13: ゲート絶縁膜

TO THE ATTORNEY AT LAW

Fig. 5

【図5】

HIGH VOLTAGE MOS TRANSISTOR MEMORY CELL
 高電圧MOSトランジスタ形成領域 メモリセル形成領域

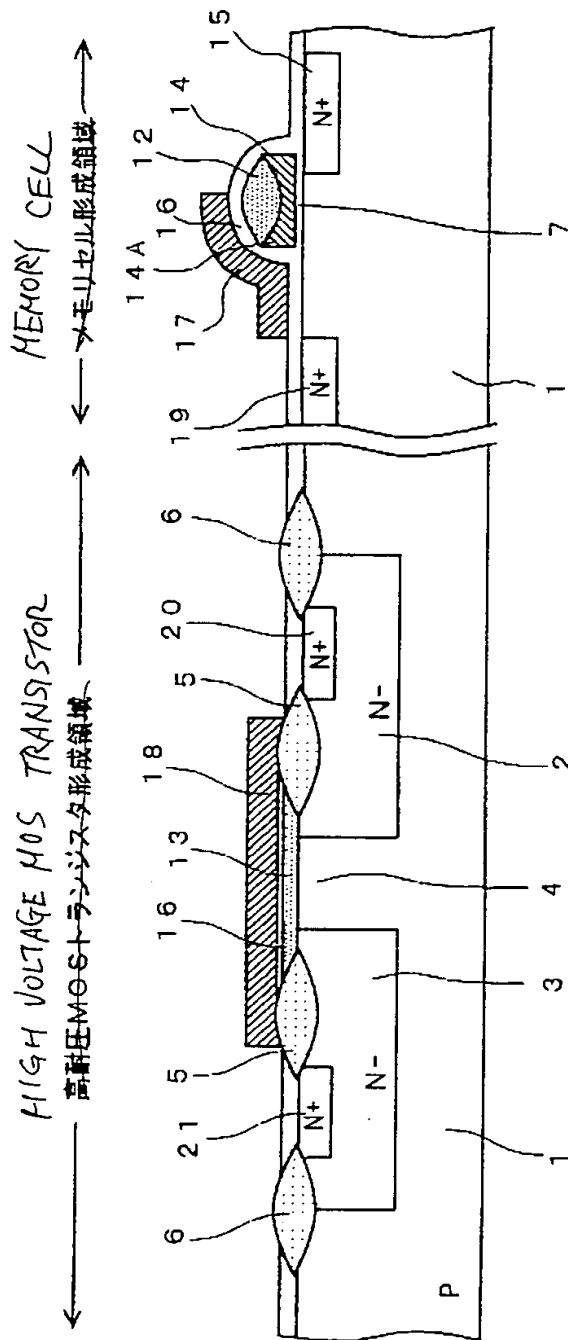


14: 浮遊ゲート 14A: 浮遊ゲート14の角部

特許庁

Fig. 6

【図6】

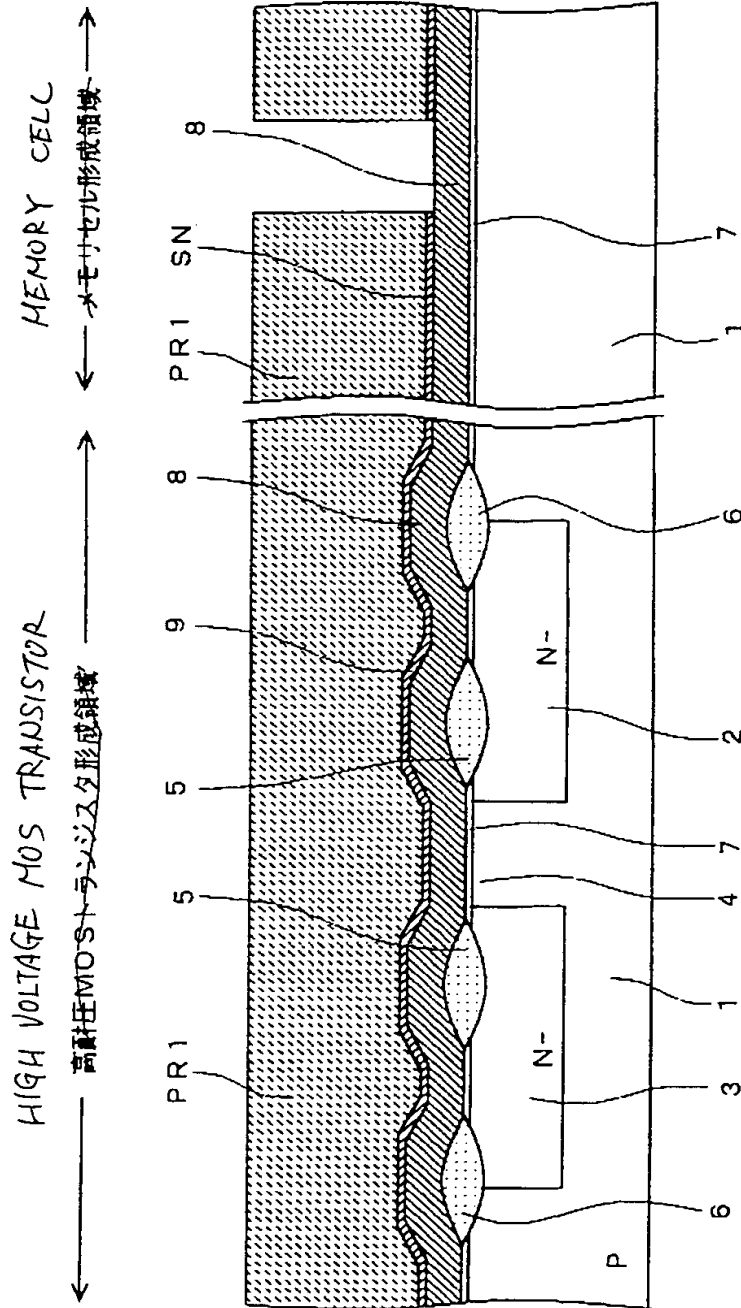


- 15: n+型ソース拡散層
- 16: トンネル絶縁膜
- 17: 制御ゲート
- 18: ゲート電極
- 19: n+型ドレイン拡散層
- 20: n+型ソース拡散層
- 21: n+型ドレイン拡散層

F06B 43/00

Fig. 7

図7

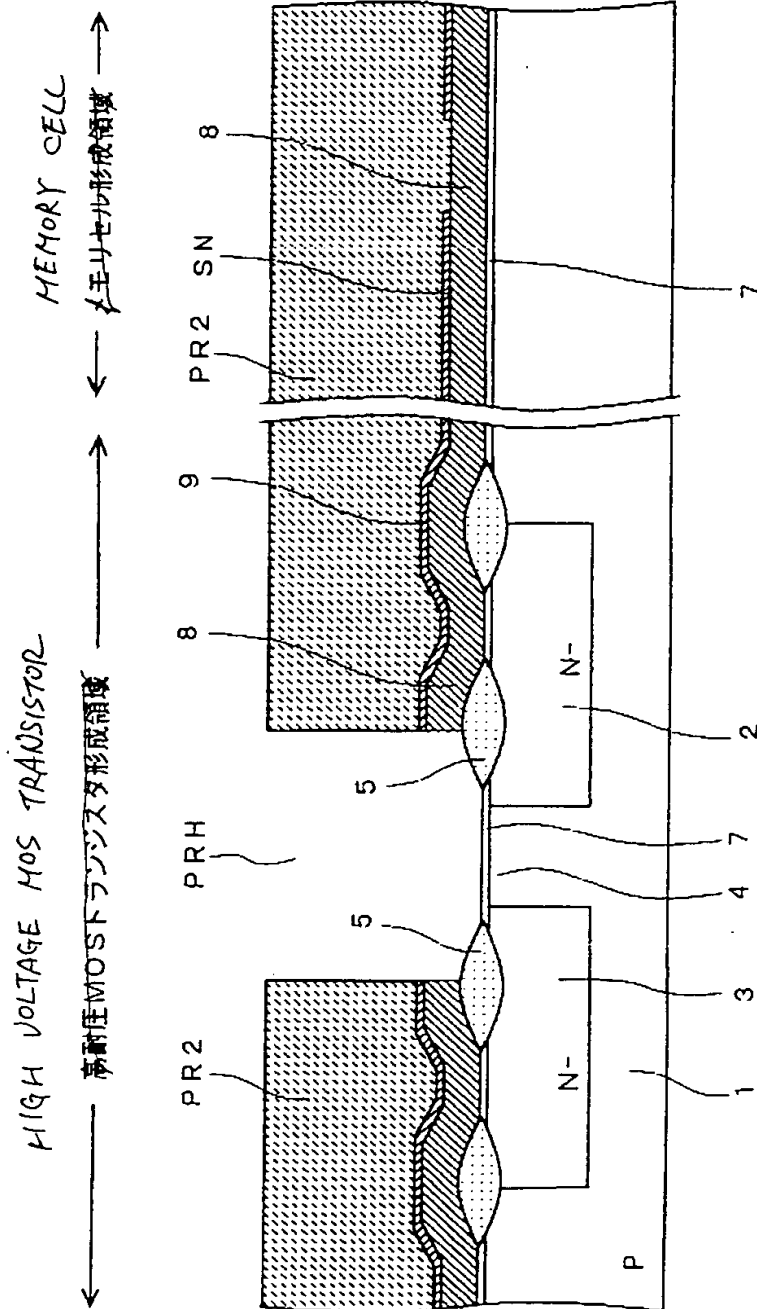


1: P型シリコン基板 2: n型ソース層 3: n型ドレイン層 4: チャネル領域 5, 6: ロコス膜
 7: ゲート絶縁膜 8: ポリシリコン層 SN: シリコン窒化膜 PR: フォトリソスト層

102050-45532860

Fig. 8

【図8】



PR2: フォトリソスタンプ PRH: 開口部

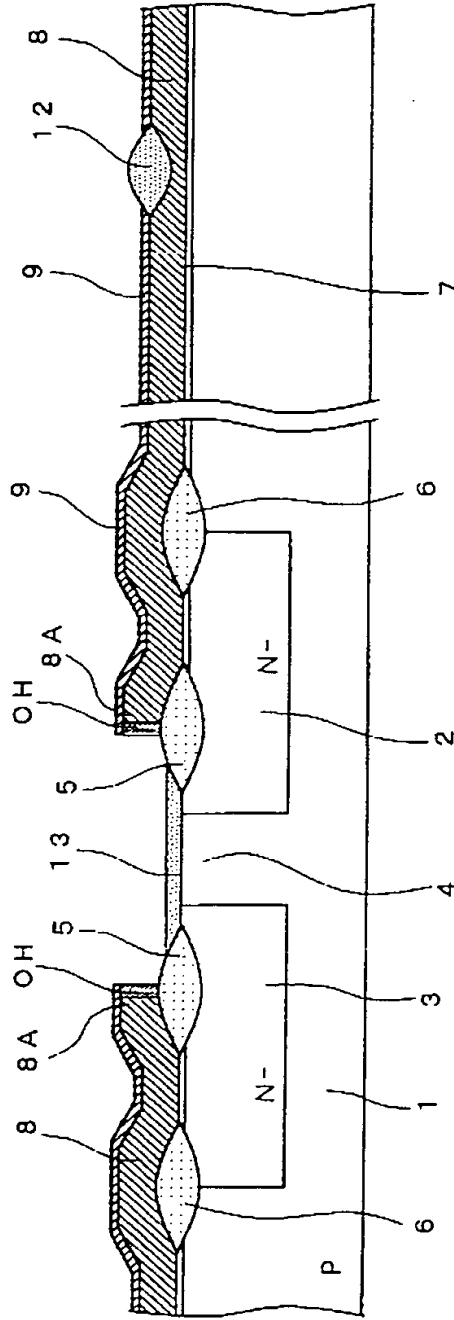
TOP SECRET

Fig. 9

【図9】

HIGH VOLTAGE MOS TRANSISTOR MEMORY CELL

← 高耐圧MOSトランジスタ形成領域 → ← メモリセル形成領域 →



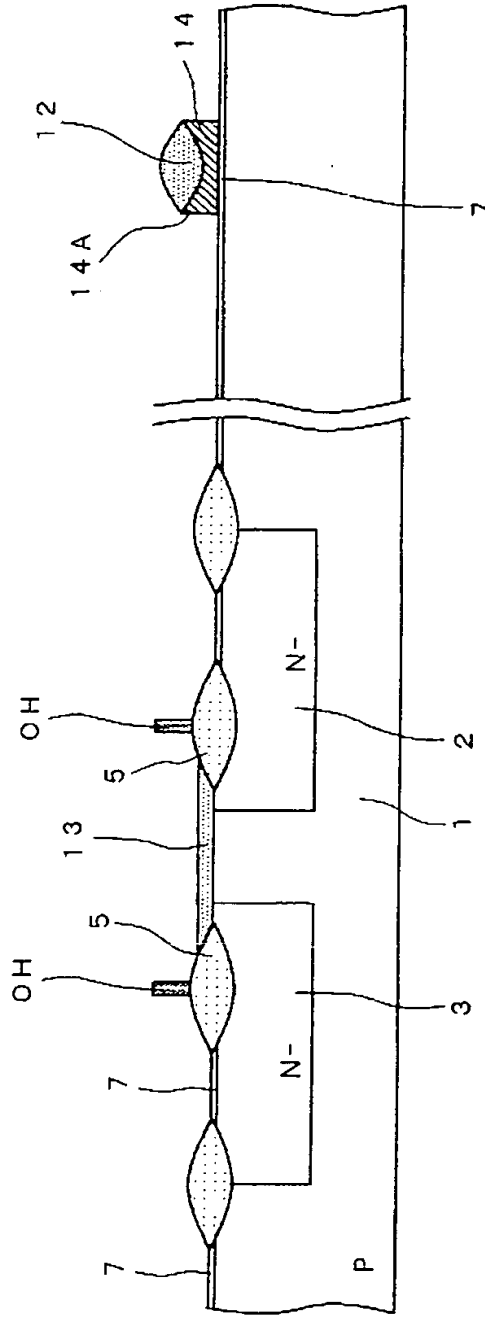
8A: ポリシリコン層8の側面 12: 酸化膜 13: ゲート絶縁膜 OH: 酸化膜片

1026990 45592360

Fig. 10

【図10】

HIGH VOLTAGE MOS TRANSISTOR ← HIGH VOLTAGE MOS TRANSISTOR FORMATION → MEMORY CELL →
高電圧MOSトランジスタ形成領域



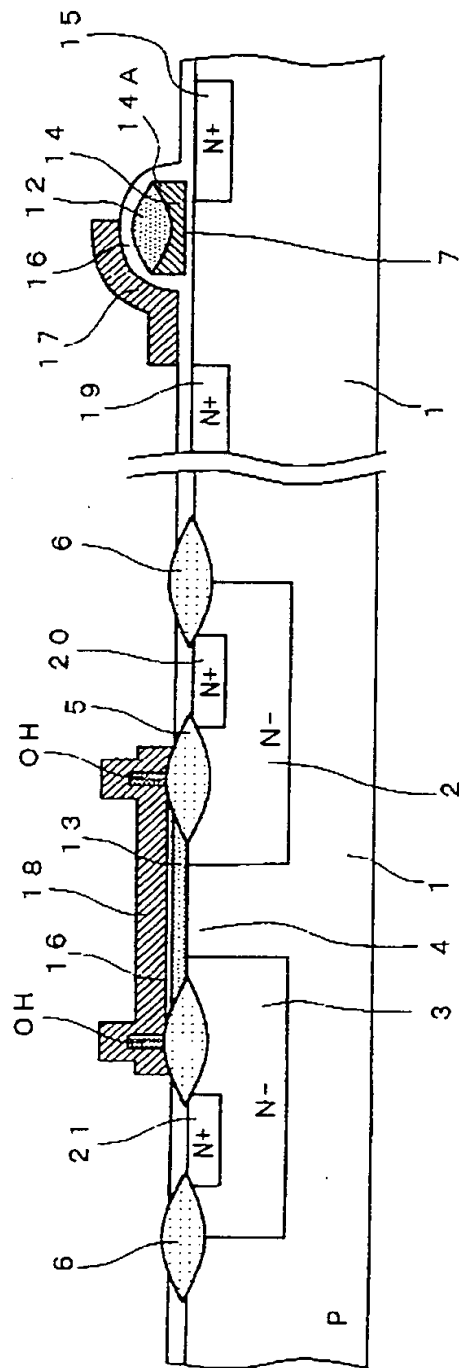
14:浮遊ゲート 14A:浮遊ゲート14の角部

特許第1766000号

Fig. 11

図11

HIGH VOLTAGE MOS TRANSISTOR
MEMORY CELL
高電圧MOSトランジスタ形成領域 ← → メモリセル形成領域 →



15: n+型ソース拡散層 16: トンネル絶縁膜 17: 制御ゲート 18: ゲート電極
19: n+型ドレイン拡散層 20: n+型ソース拡散層 21: n+型ドレイン拡散層

